

No title available

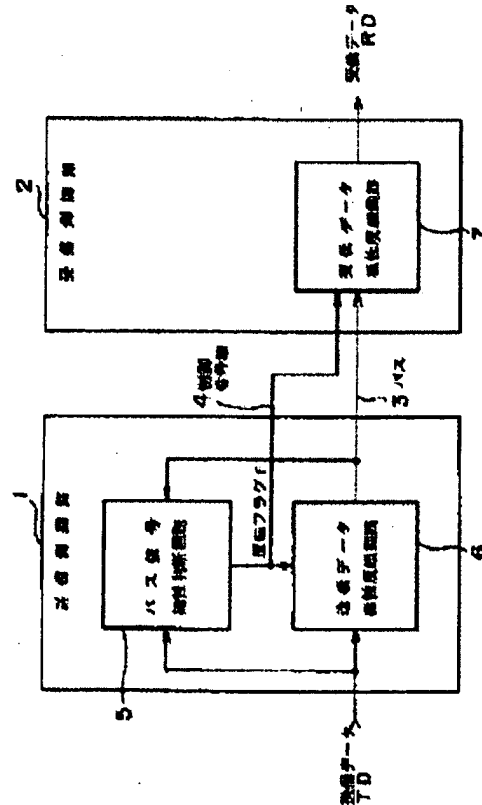
Publication number: JP5334206  
 Publication date: 1993-12-17  
 Inventor: MATOBA TSUKASA  
 Applicant: TOKYO SHIBAURA ELECTRIC CO  
 Classification:  
 - international: G06F13/00; G06F13/36; G06F13/00; G06F13/36;  
 (IPC1-7): G06F13/00; G06F13/36  
 - European:  
 Application number: JP19920139429 19920529  
 Priority number(s): JP19920139429 19920529

Report a data error here

# Abstract of JP5334206

PURPOSE: To attain the performance of a computer, and to increase a data processing unit by reducing a power consumption due to a bus driving for converting a bus signal, and generated heat accompanying it, at the time of transferring data through a bus.

CONSTITUTION: A bus signal polarity judging circuit 5 compares the polarity of a bit column constituting transmission data with the polarity of the bus signal of a bus 3 at the time of transmission, and outputs an inversion flag signal F when the number of bits inverting the polarity of the bus signal corresponding to the transmission data is larger than the number of non-inversion bits. A transmission data polarity inversion circuit 6 inverts the bit column of the transmission data according to the inversion flag F outputted from the bus signal polarity judging circuit 5, and outputs the transmission data to the bus 3. A reception data polarity inversion circuit 7 receives the bus signal corresponding to the transmission data transferred from the bus 3, inverts the bus signal according to the inversion flag F, and prepares reception data.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-334206

(43)公開日 平成5年(1993)12月17日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/00	3 0 1 S	7368-5B		
13/36	3 1 0 A	9072-5B		

審査請求 未請求 請求項の数 2(全 8 頁)

(21)出願番号 特願平4-139429

(22)出願日 平成4年(1992)5月29日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 的場 司

東京都青梅市末広町2丁目9番地 株式会

社東芝青梅工場内

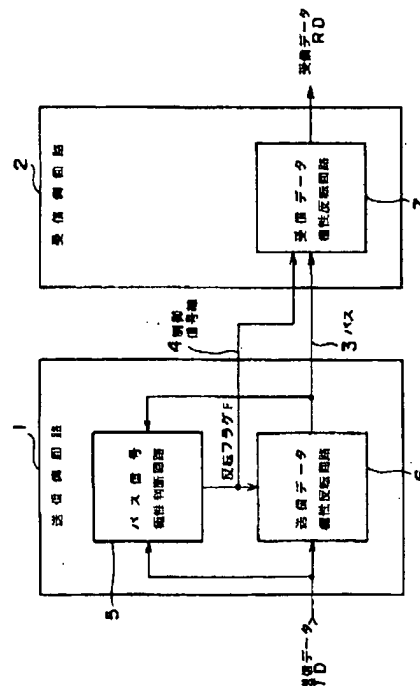
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 インターフェース制御装置

(57)【要約】

【目的】 本発明の目的はバスを通じてデータを転送するときに、バス信号を変換するためのバス駆動による消費電力およびそれに伴う発熱量を削減し、結果的にコンピュータの高性能化およびデータ処理単位の増大化を図ることができるインターフェース制御装置を提供することにある。

【構成】 バス信号極性判断回路5は、送信時に送信データを構成するビット列の極性とバス3のバス信号の極性とを比較し、送信データに応じてバス信号の極性を反転するビット数が非反転ビット数より大きい場合に反転フラグ信号Fを出力する。送信データ極性反転回路6は、バス信号極性判断回路5から出力される反転フラグ信号Fに応じて、送信データのビット列を反転しバス3に出力する。受信データ極性反転回路7は、バス3により転送される送信データに応じたバス信号を受信し、反転フラグ信号Fに応じてバス信号を反転して受信データを生成する。



## 【特許請求の範囲】

【請求項1】 送信装置からの送信データを受信装置に転送するバス手段と、

送信時に前記送信データを構成するビット列の極性と前記バス手段のバス信号の極性とを比較し、前記送信データに応じて前記バス信号の極性を反転するビット数が非反転ビット数より大きい場合に反転フラグ信号を出力する信号極性判断手段と、

この信号極性判断手段から出力される前記反転フラグ信号に応じて、前記送信データのビット列の極性を反転する送信データ極性反転手段と、

この送信データ極性反転手段から出力される前記送信データの極性に応じたバス信号を前記バス手段を通じて受信し、前記信号極性判断手段から出力される前記反転フラグ信号に応じて前記バス信号の極性を反転して受信データを生成する受信データ極性反転手段とを具備したことを特徴とするインターフェース制御装置。

【請求項2】 送信装置からの送信データを受信装置に転送するバス手段と、

送信時に前記送信データを構成するビット列の極性と前記バス手段のバス信号の極性とを比較し、前記送信データに応じて前記バス信号の極性を反転するビット数が非反転ビット数より大きい場合に有意の反転フラグ信号を出力する信号極性判断手段と、

この信号極性判断手段から出力される前記有意の反転フラグ信号に応じて前記送信データのビット列の極性を反転し、また有意でない前記反転フラグ信号に応じて前記送信データのビット列の極性をそのまま維持する送信データ極性反転手段と、

この送信データ極性反転手段から出力される前記送信データの極性に応じたバス信号を前記バス手段を通じて受信し、前記信号極性判断手段から出力される前記有意の反転フラグ信号に応じて前記バス信号の極性を反転して受信データを生成し、また有意でない前記反転フラグ信号に応じて前記バス信号の極性に対応する受信データを生成する受信データ極性反転手段とを具備したことを特徴とするインターフェース制御装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、特にデータ送受信を行なうバス信号線からなるインターフェース回路を制御するインターフェース制御装置に関する。

## 【0002】

【従来の技術】従来、コンピュータシステムでは、CPUやメモリ等の回路間をバスにより接続し、このバスを通じてデータ（アドレスも含む）の送受信が行われている。バスは、データのビット幅に応じた信号線数のバス幅を有する。

【0003】ところで、バスによりデータを転送するとき、バสดライバにより、データのビット列の極性に

じてバス信号の極性を反転する。即ち、各バス信号が論理レベル“0”の状態、例えば8ビットのデータを転送する場合に、ビット列の5ビット分が論理レベル

“1”であれば、その5ビット分に対応する各バス信号を論理レベル“0”から論理レベル“1”に変換（反転）することになる。

【0004】このようにデータ転送時に、バสดライバにより各バス信号を変換して駆動する場合に、データのビット数に比例してバสดライバの消費電力およびそれに伴う回路内の発熱量が増大する。

## 【0005】

【発明が解決しようとする課題】従来のコンピュータシステムにおいて、データをバスにより転送するときに、バสดライバにより、データのビット列の極性に依りてバス信号の極性を反転する必要がある。このため、データのビット数に比例してバสดライバの消費電力およびそれに伴う回路内の発熱量が増大する傾向がある。

【0006】特に、システムの高性能化およびデータ処理単位の増大化を図る場合に、バスによりデータ転送時に、システム内の消費電力や発熱が増大化し、最悪の場合にはシステムの動作に支障を来すこともある。

【0007】本発明の目的は、バスを通じてデータを転送するときに、バス信号を変換するためのバス駆動による消費電力およびそれに伴う発熱量を削減し、結果的にコンピュータの高性能化およびデータ処理単位の増大化を図ることができるインターフェース制御装置を提供することにある。

## 【0008】

【課題を解決するための手段】本発明は、送信側回路と受信側回路とを接続したバスによりデータの転送を行なうインターフェース制御装置において、送信データに応じてバス信号の極性を反転するビット数が非反転ビット数より大きい場合に反転フラグ信号を出力する信号極性判断手段、反転フラグ信号に応じて送信データのビット列を反転してバス手段に出力する送信データ極性反転手段および反転フラグ信号に応じてバス信号を反転して受信データを生成する受信データ極性反転手段を備えた装置である。

## 【0009】

【作用】本発明では、信号極性判断手段は、送信時に送信データを構成するビット列の極性とバス手段のバス信号の極性とを比較し、送信データに応じてバス信号の極性を反転するビット数が非反転ビット数より大きい場合に反転フラグ信号を出力する。送信データ極性反転手段は、信号極性判断手段から出力される反転フラグ信号に応じて、送信データのビット列を反転しバス手段に出力する。受信データ極性反転手段は、バス手段により転送される送信データに応じたバス信号を受信し、信号極性判断手段から出力される反転フラグ信号に応じてバス信号を反転して受信データを生成する。

3

## 【0010】

【実施例】以下図面を参照して本発明の実施例を説明する。

【0011】図1は同実施例に係わるインターフェース制御装置の構成を示すブロック図、図2は同実施例に係わる送信データ極性反転回路6および受信データ極性反転回路7の具体的構成を示すブロック図、図3は同実施例に係わるバス信号極性判断回路5の具体的構成を示すブロック図、図4は同実施例の動作を説明するための概念図、図5は同実施例の動作を説明するためのフローチャートである。

【0012】本装置は、図1に示すように、送信側回路(LSI)1と受信側回路(LSI)2とをバス3により接続した構成からなる。バス3は、送信データTDのビット数に応じた複数のバス信号線からなり、送信データTDのビット列の極性に応じて各バス信号の極性を反転して受信側回路2に転送する。

【0013】送信側回路1は、本発明の要旨に係わる送信データ極性反転回路6およびバス信号極性判断回路5を有する。送信データ極性反転回路6は、例えばコンピュータのCPUから出力される送信データTDのビット列(例えば8ビット)において、バス信号極性判断回路5から出力される反転フラグ信号Fの論理レベルに応じて、ビット列の所定ビットを反転する回路である。

【0014】バス信号極性判断回路5は、バス3のバス信号極性と送信データTDのビット列の極性とを比較し、送信データTDに応じてバス信号の極性を反転するビット数が非反転ビット数より大きい場合に、論理レベル“1”の反転フラグ信号Fを出力する。また、反転するビット数が非反転ビット数以下であれば、論理レベル“0”の反転フラグ信号Fを出力する。バス信号極性判断回路5は、反転フラグ信号Fを送信データ極性反転回路6に出力すると共に、制御信号線4を通じて受信側回路2の受信データ極性反転回路7に出力する。

【0015】受信データ極性反転回路7は、反転フラグ信号Fに応じてバス3を通じて転送されるバス信号の極性を反転して、送信データTDに対応する受信データRDを生成する回路である。

【0016】送信データ極性反転回路6および受信データ極性反転回路7は、具体的には図2に示すように、論理ゲート回路群から構成されている。

【0017】送信データ極性反転回路6は、送信データTDの各ビットTD0~TD7に対応して設けられた複数の排他的論理和回路(EXオア回路)8-0~8-7およびレジスタ9からなる。EXオア回路8-0~8-7は、各第1の入力端子には反転フラグ信号Fが入力されて、各第2の入力端子にはそれぞれ対応する送信データTDの各ビットTD0~TD7が入力される。レジスタ9は、EXオア回路8-0~8-7からの出力信号を保持しバス3に出力する。

4

【0018】バス3はEXオア回路8-0~8-7からの出力信号に対応する各バス信号BD0~BD7を受信側回路2に転送すると共に、バス信号極性判断回路5に出力する。

【0019】受信データ極性反転回路7はEXオア回路10-0~10-7からなる。EXオア回路10-0~10-7は、各第1の入力端子には反転フラグ信号Fが入力されて、各第2の入力端子にはそれぞれ対応するバス信号BD0~BD7が入力される。受信データ極性反転回路7はEXオア回路10-0~10-7から送信データTDの各ビットTD0~TD7に対応する各ビットRD0~RD7の受信データRDを出力する。

【0020】バス信号極性判断回路5は、具体的には図3に示すように、論理ゲート回路群から構成されている。即ち、バス信号極性判断回路5は、入力側のEXオア回路20-0~20-7と出力側のオア回路72との間に、論理ゲート回路群が設けられて、バス信号BD0~BD7の各極性と送信データTDのビットTD0~TD7の各極性とを比較する。この比較結果により、バス信号BD0~BD7の極性を反転するビット数が非反転ビット数より大きい場合に、論理レベル“1”の反転フラグ信号Fを出力し、反転するビット数が非反転ビット数以下であれば論理レベル“0”の反転フラグ信号Fを出力する。

【0021】具体的な回路構成としては、EXオア回路20-0~20-7を4グループに分割した場合に、各グループの2個のEXオア回路20-0~20-7の各出力信号を入力とするオア回路30-0~30-3およびアンド回路40-0~40-3が設けられている。オア回路30-0~30-3は、それぞれの出力信号L10, L32, L54, L76をEXノア回路80-0~80-7の各第1の入力端子に出力する。アンド回路40-0~40-3は、それぞれの出力信号H10, H32, H54, H76をEXノア回路80-0~80-7の各第2の入力端子に出力する。

【0022】アンド回路40-0~40-3は、それぞれの出力信号H10, H32, H54, H76および各インバータ50-0~50-3により反転された各出力信号H10I, H32I, H54I, H76Iを、図3に示すように、アンド回路60-0~60-8の各入力端子に出力する。アンド回路60-6~60-8は各出力信号をオア回路70の第1~第3の入力端子に出力する。一方、アンド回路60-0~60-5は各出力信号をオア回路71の第1~第6の入力端子に出力する。

【0023】EXノア回路80-0~80-7は各出力信号をナンド回路90の第1~第4の入力端子に出力する。ナンド回路90は出力信号をアンド回路91の第1の入力端子に出力する。アンド回路91は第2の入力端子にはオア回路71の出力信号が入力されて、出力信号をオア回路72の第1の入力端子に出力する。オア回路72は第2の入力端子にはオア回路70の出力信号が入力され

て、出力信号である反転フラグ信号Fを出力する。

【0024】次に、同実施例の動作を説明する。

【0025】まず、例えばCPUから送信データTDが送信側回路1に供給されると(図5のステップS1)、バス信号極性判断回路5は極性判断処理を実行する(ステップS2)。即ち、送信前のバス3の各バス信号BD0~BD7の各極性と送信データTDのビットTD0~TD7の各極性とを比較し、比較結果に応じて論理レベル“1”または論理レベル“0”の反転フラグ信号Fを出力する。

【0026】ここで、図4(A)に示すように、送信前の各バス信号BD0~BD7の極性は全て論理レベル“0”であり、送信データTDのビットTD0~TD7の各極性はTD6、TD7が論理レベル“0”で、他のビットTD0~TD5が全て論理レベル“1”であると想定する。

【0027】ところで、送信前の各バス信号BD0~BD7の中で、ビットTD0~TD7の各極性に応じて反転すべきビット数(バス信号数)Cbは「6」であり、非反転ビット数Ubは「2」である。したがって、この例では、反転すべきビット数Cbの方が非反転ビット数Ubより大きくなる。

【0028】バス信号極性判断回路5は、図3に示す論理ゲート回路群の動作(図4(A)にゲート回路の出力状態を示す)により、「Cb>Ub」のときには、論理レベル“1”の反転フラグ信号Fを出力する(ステップS3のNO、S4)。

【0029】送信データ極性反転回路6は、バス信号極性判断回路5からの論理レベル“1”の反転フラグ信号Fに応じて、送信データTDのビットTD0~TD7の各極性を反転する(ステップS5)。これにより、バス3は、図示しないバสดライブにより、ビットTD0~TD7の各極性に応じた「11000000」のバス信号BD0~BD7を受信側回路2に転送する。即ち、バス3は、送信前の状態に対して2ビットのTD7、TD6に相当するバス信号BD7、BD6の反転駆動がなされたことになる。

【0030】受信データ極性反転回路7は、バス3を通じて受信したバス信号BD0~BD7の各極性を、バス信号極性判断回路5からの論理レベル“1”の反転フラグ信号Fに応じて反転する。これにより、受信データ極性反転回路7は、図4(A)に示す送信データTDのビットTD0~TD7の各極性に対応する受信データRD0~RD7を生成し(ステップS6)、例えばコンピュータの入出力装置に転送する。

【0031】一方、図4(B)に示すように、送信前の各バス信号BD0~BD7の極性が「11111000」であり、送信データTDのビットTD0~TD7の各極性はTD1、TD0が論理レベル“0”で、他のビットTD2~TD7が全て論理レベル“1”であると想

定する。

【0032】送信前の各バス信号BD0~BD7の中で、ビットTD0~TD7の各極性に応じて反転すべきビット数Cbは「1」であり、非反転ビット数Ubは「7」である。したがって、この例では、反転すべきビット数Cbは非反転ビット数Ub以下である。

【0033】したがって、バス信号極性判断回路5は、図3に示す論理ゲート回路群の動作(図4(B)にゲート回路の出力状態を示す)により、「Cb≤Ub」となるため、論理レベル“0”の反転フラグ信号Fを出力する(ステップS3のYES、S7)。

【0034】送信データ極性反転回路6は、バス信号極性判断回路5からの論理レベル“0”の反転フラグ信号Fに応じて、送信データTDのビットTD0~TD7の各極性を反転せずにそのままレジスタ9にセットする。これにより、バス3は、ビットTD2に対応するバス信号BD2の極性のみを反転して、ビットTD0~TD7の各極性に応じた「11111100」のバス信号BD0~BD7を受信側回路2に転送する(ステップS8)。

【0035】受信データ極性反転回路7は、論理レベル“0”の反転フラグ信号Fに応じて、バス3を通じて受信したバス信号BD0~BD7の各極性に対応する受信データRD0~RD7を生成する(ステップS9)。これにより、受信データ極性反転回路7は、図4(B)に示す送信データTDのビットTD0~TD7の各極性に対応する受信データRD0~RD7を生成する。

【0036】このようにして、送信前の各バス信号BD0~BD7の極性を、送信データTDに応じて反転すべきビット数Cbが、非反転ビット数Ubより大きい場合には、論理レベル“1”の反転フラグ信号Fに応じて、送信データTDのビット列TD0~TD7の各極性を反転させる。これにより、バス3では、反転した送信データTDに応じて非反転ビット数Ubに相当するビット数のバス信号のみを反転する駆動(バสดライブによる)が実行される。

【0037】したがって、従来では反転すべきビット数Cbに応じたバス信号の反転駆動に対して、非反転ビット数Ubに相当するビット数のバス信号のみを反転駆動するため、ビット数に比例したバสดライブの消費電力およびそれに伴う発熱量を大幅に削減することが可能となる。

【0038】なお、受信データ極性反転回路7により、バス3からのバス信号から送信データTDに相当する受信データを再生するために、ビット数Cbに対応する反転駆動が必要である。しかし、受信データ極性反転回路7は例えばLSIから構成されており、バสดライブと比較して、論理ゲート回路群による反転動作に伴う消費電力量は極めて少ない。

【0039】一方、反転すべきビット数Cbが非反転ビ

ット数U b以下の場合には、送信データTDのビット列TD0～TD7は反転せずにそのまま使用される。したがって、バス3では、送信データTDに応じて反転ビット数Cbに相当するビット数のバス信号のみを反転する駆動が実行されるだけである。

#### 【0040】

【発明の効果】以上詳述したように本発明によれば、例えばコンピュータシステムにおいて、複数ビットの送信データをバスを通じて受信側に転送するときに、送信データにバス信号の極性を反転するビット数を削減することができる。したがって、バス信号の反転を駆動するための消費電力およびそれに伴う発熱量を大幅に減少させることが可能となる。これにより、システムの高性能化およびデータ処理単位のビット数の増大化を図る場合でも、消費電力およびそれに伴う発熱量の増大化による支障の発生を防止することができる。

#### 【図面の簡単な説明】

【図1】本発明の同実施例に係わるインターフェース制御装置の構成を示すブロック図。

【図2】同実施例に係わる送信データ極性反転回路および受信データ極性反転回路の具体的構成を示すブロック図。

【図3】同実施例に係わるバス信号極性判断回路の具体的構成を示すブロック図。

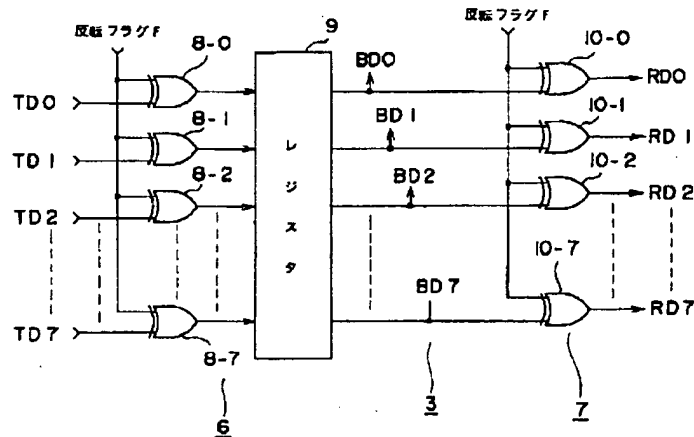
【図4】同実施例の動作を説明するための概念図。

10 【図5】同実施例の動作を説明するためのフローチャート。

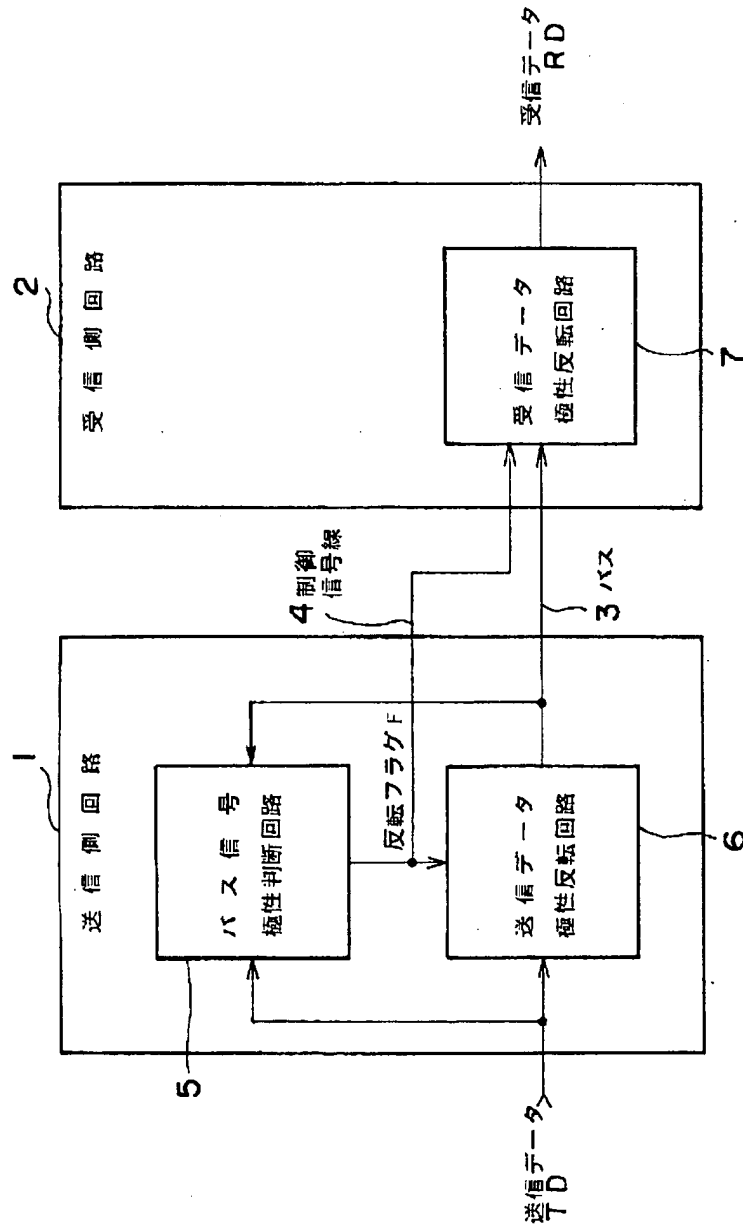
#### 【符号の説明】

1…送信側回路、2…受信側回路、3…バス、5…バス信号極性判断回路、6…送信データ極性反転回路、7…受信データ極性反転回路。

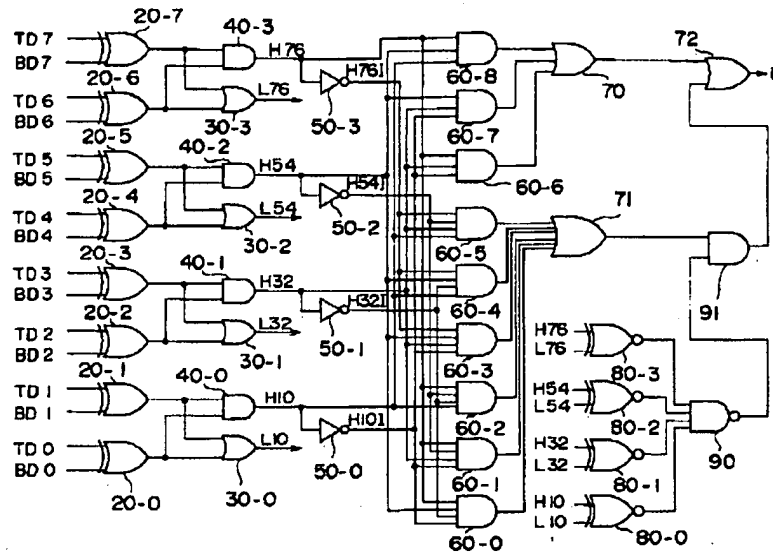
【図2】



【図1】



【図3】



【図4】

(A)	バス信号	BD7	BD6	BD5	BD4	BD3	BD2	BD1	BD0
		0	0	0	0	0	0	0	0
	送信データ	TD7	TD6	TD5	TD4	TD3	TD2	TD1	TD0
		0	0	1	1	1	1	1	1
	ゲート回路の出力	H76	L76	H54	L54	H32	L32	H10	L10
		0	0	1	1	1	1	1	1
	反転フラグ F	1							
(B)	バス信号	BD7	BD6	BD5	BD4	BD3	BD2	BD1	BD0
		1	1	1	1	1	0	0	0
	送信データ	TD7	TD6	TD5	TD4	TD3	TD2	TD1	TD0
		1	1	1	1	1	1	0	0
	ゲート回路の出力	H76	L76	H54	L54	H32	L32	H10	L10
		0	0	0	0	0	1	0	0
	反転フラグ F	0							



【図5】

